

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 06-097452

(43)Date of publication of application : 08.04.1994

(51)Int.Cl. H01L 29/788  
H01L 29/792

(21)Application number : 04-243232

(71)Applicant : ASAHI CHEM IND CO LTD  
TARUI YASUO

(22)Date of filing : 11.09.1992

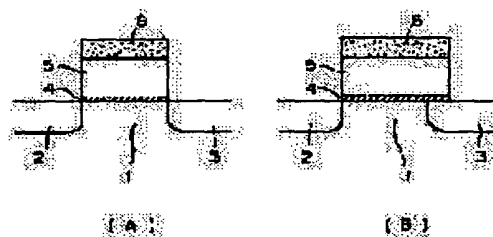
(72)Inventor : HIRAI MASAHIKO  
TARUI YASUO

## (54) SEMICONDUCTOR MEMORY ELEMENT

### (57)Abstract:

**PURPOSE:** To provide a nonvolatile memory which is operable at a high speed and has reduced ferroelectric fatigue and is further suitable for reduction of the area thereof.

**CONSTITUTION:** In a gate electrode of a transistor formed on a semiconductor single crystal substrate there is epitaxially grown an oxide thin film on the semiconductor single crystal substrate 1 which exhibits mismatching of an intermediate distance in a unit lattice being 30% or less at an interface between the semiconductor single crystal substrate and the gate electrode, and further on the oxide thin film 4a highly oriented ferroelectric thin film 5 is laminated in succession.



## LEGAL STATUS

[Date of request for examination] 27.05.1999

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 3222569

[Date of registration] 17.08.2001

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開平6-97452

(43)公開日 平成6年(1994)4月8日

(51)Int.Cl.<sup>5</sup>

識別記号

庁内整理番号

F I

技術表示箇所

H 0 1 L 29/788

29/792

H 0 1 L 29/ 78

3 7 1

審査請求 未請求 請求項の数2(全 5 頁)

(21)出願番号 特願平4-243232

(22)出願日 平成4年(1992)9月11日

(71)出願人 000000033

旭化成工業株式会社

大阪府大阪市北区堂島浜1丁目2番6号

(71)出願人 592194495

垂井 康夫

東京都東久留米市南沢5-6-4

(72)発明者 平井 匡彦

神奈川県厚木市棚沢221番地 旭化成工業株式会社内

(72)発明者 垂井 康夫

東京都東久留米市南沢5-6-4

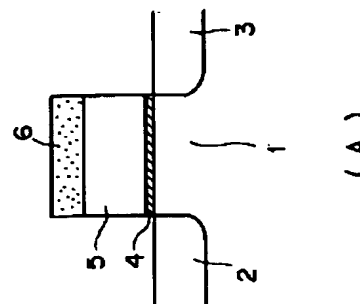
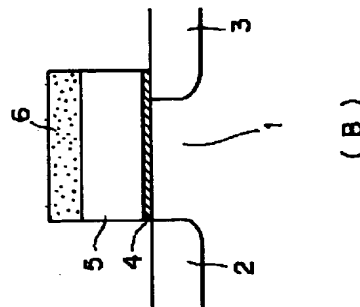
(74)代理人 弁理士 谷 義一

(54)【発明の名称】 半導体記憶素子

(57)【要約】

【目的】 高速かつ、強誘電体の疲労が少なく、面積縮小に適した不揮発性メモリを提供する。

【構成】 半導体単結晶基板上に形成されたトランジスタにおけるゲート電極部分において、該半導体単結晶基板(1)上に該半導体単結晶基板と界面において、単位格子中原子間距離のミスマッチが30パーセント以下の酸化物薄膜(4)をエピタキシャル成長させ、さらにその上に高配向の強誘電体薄膜(5)を順次積層した構造をもつ。



1

## 【特許請求の範囲】

【請求項 1】 半導体単結晶基板上に形成されたトランジスタにおけるゲート電極部分において、該半導体単結晶基板上に該半導体単結晶基板と界面において、単位格子中の原子間距離のミスマッチが 30 パーセント以下の酸化物薄膜をエピタキシャル成長させ、さらにその上に高配向の強誘電体薄膜を順次積層した構造をもつことを特徴とする半導体記憶素子。

【請求項 2】 請求項 1 において、前記素子に使用する半導体単結晶基板として、Si 単結晶基板を使用し、また、酸化物薄膜として、 $\text{CeO}_2$ 、または酸化イットリウム安定化酸化ジルコニウム、または  $\text{Y}_2\text{O}_3$ 、または  $\text{ZrO}_2$  のエピタキシャル薄膜を用い、また、前記トランジスタゲートに使用する高配向の強誘電体薄膜として、 $\text{PbTiO}_3$ 、または  $\text{PbZrTiO}_3$ 、または  $\text{PbLaZrTiO}_3$  の薄膜を用いることを特徴とする半導体記憶素子。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】本発明は、半導体記憶素子に関し、特に、トランジスタのゲートに強誘電体を用いてソースドレイン間電流を直接制御することができる不揮発性メモリに係るものである。

## 【0002】

【従来の技術】半導体記憶素子には、電源を投入している間のみ情報を記憶することができる揮発性メモリと、電源を断たれた状態においても情報を記憶することができる不揮発性メモリとがある。揮発性メモリとしては、DRAM(Dynamic Random Access Memory)、SRAM(Static Random Access Memory)があり、不揮発性メモリとしては、マスクROM(Mask Read Only Memory)、PROM(Programmable Read Only Memory)、EPROM(Erasable Programmable Read Only Memory)、EEPROM(Electrically Erasable and Programmable Read Only Memory)等がある。

【0003】これらの不揮発性メモリの中でもEPROM、EEPROMは、RAMのように記憶内容を書き換えることができるROMで、コントロールゲートとチャネルとの間にフローティングゲートをもつMOS-FET(MOS型電解効果トランジスタ)構造をとるものが一般的である。EPROMは、紫外線を照射することによりフローティングゲート内のキャリアを放出させて消去動作をさせ、コントロールゲートとドレインの間に高電圧を加えた際に生じるホットエレクトロンがフローティングゲート内に残留することを利用して、書き込み動作をさせる。EEPROMでは、紫外線を照射することなく消去動作をさせることができる。

## 【0004】

【発明が解決しようとする課題】しかし、上記フローティングゲート型のMOS-FETは、書き込み、消去動

2

作には、msec. オーダの時間と  $10^7$  V/cm オーダの高電界を必要とする。このため、EEPROMでは、通常のDRAMのように同一サイクルでの書き込み、消去動作を実現することができず、また、電圧の高い電源も必要となる。

【0005】また、最近開発が進められているFRAM(Ferroelectric Random Access Memory)の多くはDRAMのキャパシタを強誘電体キャパシタに置き換えた構造をしており(ラムトロン・コーポレーション 特開平 2-113496号)、書き込み、消去、読み出し動作いずれもが強誘電体の分極反転を伴うため、強誘電体の疲労が激しい。また、トランジスタとキャパシタを別々に設ける必要があり、面積縮小化に不利となる。

【0006】本発明は、このような従来の技術が有する未解決の課題を解決するべく行われたものであり、高速かつ、強誘電体の疲労が少なく、面積縮小化に適した不揮発性メモリを提供することを目的としている。

## 【0007】

【課題を解決するための手段】上記目的を達成するための、請求項 1 記載の半導体記憶素子は、半導体単結晶基板上に形成されたトランジスタにおけるゲート電極部分において、該半導体単結晶基板上に該半導体単結晶基板と界面において、単位格子中の原子間距離のミスマッチが 30 パーセント以下の酸化物薄膜をエピタキシャル成長させ、さらにその上に高配向の強誘電体薄膜を順次積層した構造をもつことを特徴とする半導体記憶素子である。

【0008】ここで、ミスマッチとは、界面における基板の単位格子中の原子間距離と、膜の単位格子中の原子間距離とのずれを%で表したものである。

【0009】また、請求項 2 記載の半導体記憶素子は、請求項 1 において、前記素子に使用する半導体単結晶基板として、Si 単結晶基板を使用し、また、酸化物薄膜として、 $\text{CeO}_2$ 、または酸化イットリウム安定化酸化ジルコニウム、または  $\text{Y}_2\text{O}_3$ 、または  $\text{ZrO}_2$  のエピタキシャル薄膜を用い、また、前記トランジスタゲートに使用する高配向の強誘電体薄膜として、 $\text{PbTiO}_3$ 、または  $\text{PbZrTiO}_3$ 、または  $\text{PbLaZrTiO}_3$  の薄膜を用いることを特徴とする半導体記憶素子である。

## 【0010】

【作用】請求項 1 記載の発明にあつては、半導体単結晶基板上に形成されたトランジスタにおけるゲート電極部分とは、半導体単結晶基板上に不純物拡散によって形成されたソースおよびドレインの間を流れる電流をオン、オフすることを目的とした、電解効果型トランジスタのゲート電極のことである。

【0011】また、該半導体単結晶基板上に該半導体単結晶基板と界面において、単位格子中原子間距離のミスマッチが 30 パーセント以下の酸化物薄膜をエピタキシ

ヤル成長させる、ということは、半導体単結晶基板と酸化物薄膜の界面を形成する各々の結晶面において、半導体単結晶基板の単位格子中の1対の原子間の距離と酸化物薄膜の単位格子中の1対の原子間の距離の違いが30パーセント以下となるような酸化物薄膜を、半導体単結晶基板表面内において結晶方向の異方性を強く成長させることをいう。

【0012】Si単結晶基板上におけるMgO薄膜形成（ミスマッチ約22.5パーセント）、GaAs単結晶基板上におけるMgO薄膜形成（ミスマッチ約25.5パーセント）においては、エピタキシャル成長することを確認したが、30パーセントを超えるミスマッチを持つ組み合わせではエピタキシャル成長させることは出来なかった。

【0013】この基板表面内における薄膜の異方性については、RHEED（高速反射電子回折法）による回折像を観察することによって確認することができる。また、さらにその上に高配向の強誘電体薄膜を順次積層するということは、該酸化物薄膜の上に該酸化物薄膜表面に対し垂直方向に結晶方向の異方性を強く積層させることをいう。

【0014】本発明になるゲート電極を用い、強誘電体の自発分極を反転させることによって、ソースドレイン間電流をオン、オフすることができる。強誘電体の自発分極を反転させるためには、基板-ゲート間、もしくはドレイン-ゲート間、もしくはソース-ゲート間に電圧を印加する必要がある。強誘電体の自発分極の反転速度は極めて速く、DRAM並みの書き換え、消去の動作速度を得ることができる。また、トランジスタのほかにキャパシタを設ける必要がないので、面積縮小化に有利となる。単結晶基板と強誘電体薄膜との間に設ける酸化物薄膜は、単結晶基板と強誘電体薄膜とが相互拡散して強誘電体が劣化するのを防ぐために不可欠である。

【0015】請求項2記載の発明にあっては、上記素子に使用する半導体単結晶基板として、Si単結晶基板を使用し、酸化物薄膜として、 $\text{CeO}_2$ 、またはYSZ（イットリア安定化酸化ジルコニウム）、または $\text{Y}_2\text{O}_3$ 、または $\text{ZrO}_2$ のエピタキシャル薄膜を用いる。これらの酸化物薄膜は、請求項(1)における、界面における単位格子中の原子間距離のミスマッチ条件を満たしており、実際にSi単結晶基板上にエピタキシャル成長することができる。また、これは、強誘電体の自発分極を反転させる際、強誘電体薄膜に十分に電圧を印加するために、トンネル酸化膜として動作し、また、Si単結晶基板の単結晶性を上層に伝達し、上層の強誘電体薄膜を高配向形成させるために不可欠である。

【0016】また、上記トランジスタゲートに使用する高配向の強誘電体薄膜として、 $\text{PbTiO}_3$ 、または $\text{PZT}$ （ $\text{PbZrTiO}_3$ ）、または $\text{PLZT}$ （ $\text{PbLaZrTiO}_3$ ）の薄膜を用いるが、これらの強誘電体は

該酸化物薄膜上で、配向膜を形成する。

【0017】これらの構造的特徴により、強誘電体薄膜の自発分極を反転させ、直接ソースドレイン間の電流をオン、オフすることができ、不揮発性メモリとしての作用をさせることができる。

【0018】また好適には、該半導体単結晶基板上に該半導体単結晶基板と界面において、単位格子中原子間距離のミスマッチが30パーセント以下で、かつ相互に5周期以内の整数周期で当該原子間距離のミスマッチが5パーセント以下の酸化物薄膜をエピタキシャル成長させることができる。このことは、半導体単結晶基板と酸化物薄膜の界面を形成する各々の結晶面において、半導体単結晶基板の単位格子中の1対の原子間の距離と酸化物薄膜の単位格子中の1対の原子間の距離の違いが30パーセント以下で、かつ、半導体単結晶基板の単位格子中の1対の原子間の距離の整数倍（5倍以下）の長さや酸化物薄膜の単位格子中の1対の原子間の距離の整数倍（5倍以下）の長さの違いが5パーセント以下となるような酸化物薄膜を、半導体単結晶基板表面内において結晶方向の異方性を強く成長させることをいう。

【0019】

【実施例】以下、本発明の実施例を図面に基づいて説明する。

【0020】図1は、本発明の一実施例における素子の基本構造を断面形状より示した図である。ここで、

(A)は基板より強誘電体にキャリアを注入する形式、

(B)はドレインより強誘電体にキャリアを注入する形式を示している。

【0021】ここで、1はSi単結晶基板、2はソース、3はドレイン、4は酸化物薄膜、5は強誘電体薄膜、6はAl電極である。

【0022】まず、基板として、抵抗率 $2\Omega\text{cm}$ のn型Si(100)単結晶基板を用い、この基板を $1\times 10^{-6}$  Torrの真空中において、約 $900^\circ\text{C}$ に加熱した上で、 $\text{CeO}_2$ タブレットを電子ビーム加熱し、膜厚約200オングストロームの $\text{CeO}_2$ 薄膜をSi基板上に真空蒸着により成膜した。この $\text{CeO}_2$ 薄膜をRHEEDにより表面観察したところ、いくつかのストリークパターンを観測することができ、ほぼエピタキシャル成長していることが確認できた(図2)。Si単結晶基板と $\text{CeO}_2$ 薄膜とは、格子定数(立方体の単位格子の1辺にあたる原子間距離)のミスマッチは、約0.37パーセントである。膜厚200オングストロームの $\text{CeO}_2$ 薄膜表面に、Al電極を真空蒸着法により形成し、この電極を用いて容量-電圧(C-V)特性を測定した。その結果、図3に示すような極めて良好なC-V特性が得られ、 $\text{CeO}_2$ 薄膜がゲート酸化膜として利用可能であることが証明できた。

【0023】次に、 $\text{CeO}_2/\text{Si}(100)$ 上に、MOCVD法により $\text{PbTiO}_3$ 薄膜を成膜した。Pb

$(C_2H_5)_4Ti[O-C_3H_7]_4$  を材料とし、それぞれ0℃、30℃の温度に保ち、それぞれ20、14.5cc/min. のキャリア $N_2$  ガスで材料を運び、23cc/min. の $O_2$  とともに基板温度600℃の $CeO_2/Si(100)$  基板上に吹き付け、 $PbTiO_3$  薄膜を成膜した。雰囲気圧力は、約3Torrであった。また、膜厚は約5000オングストロームであった。この薄膜をX線回折装置を用いて分析を行ったところ、 $PbTiO_3(100)$ 、(001)面に強く配向していることが確認できた(図4)。

【0024】さらに、この $PbTiO_3$  on  $CeO_2/Si(100)$  表面にAl電極を真空蒸着法により形成し、この電極を用いてソイヤータワー回路により自発分極を求めたところ、第5図より約 $10\mu C/cm^2$ の自発分極密度を得た。これにより、十分に強誘電体 $PbTiO_3$ の自発分極により、Siトランジスタのソースドレイン間電流をオン、オフすることができる。

【0025】実際に、ソース、ドレイン間に上記 $PbTiO_3$  on  $CeO_2$ を形成し、ソースドレイン間電流のオン、オフを $PbTiO_3$ の自発分極を用いて制御する試みを行い、その現象を確認した。

【0026】

【発明の効果】以上の説明のように、本発明によれば、Si基板上にエピタキシャル成長した酸化物薄膜を介して、高配向強誘電体薄膜を形成することにより、強誘電体の自発分極により直接ソースドレイン間の電流をオン、オフすることができる。このため、現在研究が進められているFRAMに比較して、読みだし動作では自発分極の反転を伴わないため、強誘電体の膜疲労が極めて少なく、また、トランジスタ以外の領域にキャパシタを設ける必要がないため、面積縮小化に適した不揮発性メ

モリを提供できる。さらに、従来のEEPROMに比較して、ホットエレクトロンをフローティングゲートに注入する必要がなく、より低電圧での駆動が可能となる。このように、多くの優位性を有した不揮発性メモリを提供できるなどの効果がある。

【図面の簡単な説明】

【図1】本発明の一実施例における素子の基本構造を断面形状より示した図である。ここで、(A)は基板より強誘電体にキャリアを注入する形式、(B)はドレインより強誘電体にキャリアを注入する形式を示している。

【図2】Si(100)基板上に $CeO_2$ を真空蒸着したものをRHEED観察した際の解説パターンの写真である。

【図3】Si(100)基板上に $CeO_2$ を真空蒸着したものに、Al電極を蒸着し、容量-電圧(C-V)特性を測定した結果を示す図である。

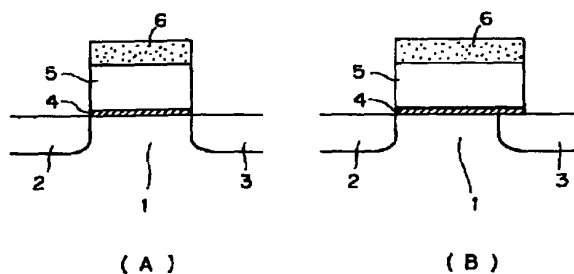
【図4】Si(100)基板上に $CeO_2$ を真空蒸着したものに、さらに $PbTiO_3$ 薄膜をCVD成膜し、その試料をX線回折装置を用いて分析を行った結果を示す図である。

【図5】 $PbTiO_3$  on  $CeO_2/Si(100)$  表面に直径0.5mmのAl電極を真空蒸着法により形成し、この電極を用いてソイヤータワー回路により、ヒステリシス曲線を求めた結果を示す図である。

【符号の説明】

- 1 Si単結晶基板
- 2 ソース
- 3 ドレイン
- 4 酸化物薄膜
- 5 強誘電体薄膜
- 6 Al電極

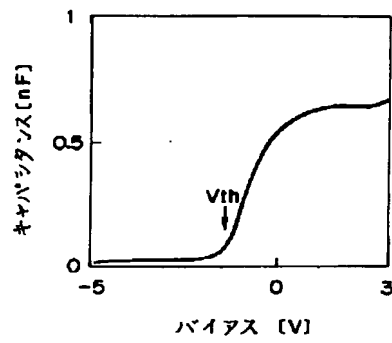
【図1】



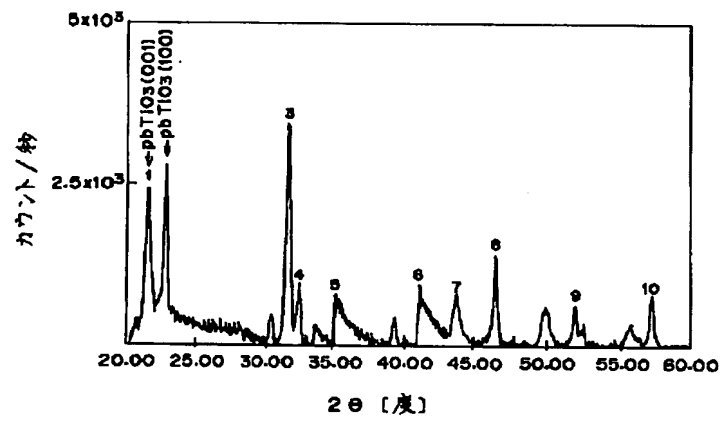
【図2】



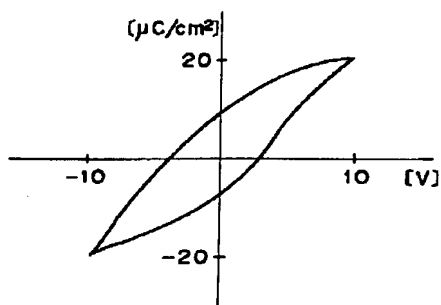
【図3】



【図4】



【図5】



**\* NOTICES \***

Japan Patent Office is not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. \*\*\*\* shows the word which can not be translated.
3. In the drawings, any words are not translated.

---

**CLAIMS**

---

[Claim(s)]

[Claim 1] The semiconductor storage element characterized by for the mismatch of the interatomic distance in a unit lattice growing epitaxially 30 or less % of oxide thin film, and having further the structure which carried out the laminating of the ferroelectric thin film of high orientation one by one on it in this semiconductor single crystal substrate and an interface in the gate electrode section in the transistor formed on the semiconductor single crystal substrate on this semiconductor single crystal substrate.

[Claim 2] In a claim 1, Si single crystal substrate is used as a semiconductor single crystal substrate used for the aforementioned element. as an oxide thin film  $\text{CeO}_2$ , a yttrium-oxide stabilization zirconium oxide,  $\text{Y}_2\text{O}_3$ , or  $\text{ZrO}_2$  As a ferroelectric thin film of high orientation used for the aforementioned transistor gate, using an epitaxial thin film  $\text{PbTiO}_3$ ,  $\text{PbZrTiO}_3$ , or  $\text{PbLaZrTiO}_3$  Semiconductor storage element characterized by using a thin film.

---

[Translation done.]



\* NOTICES \*

Japan Patent Office is not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. \*\*\* shows the word which can not be translated.
3. In the drawings, any words are not translated.

## DETAILED DESCRIPTION

[Detailed Description of the Invention]

[0001]

[Industrial Application] Especially this invention relates to the non-volatile memory which can use a ferroelectric for the gate of a transistor and can control the current between source-drains directly about a semiconductor storage element.

[0002]

[Description of the Prior Art] There are volatile memory which can memorize information only while switching on the power supply, and non-volatile memory which can memorize information also in the state where the power supply was severed in a semiconductor storage element. As volatile memory, DRAM (Dynamic Random Access Memory), SRAM (Static Random Access Memory) It is. as non-volatile memory A mask ROM (Mask Read Only Memory), PROM (Programmable Read Only Memory), EPROM (Erasable Programmable Read Only Memory) and EEPROM (Electrically Erasable and Programmable Read Only Memory) etc. -- it is

[0003] Also in such non-volatile memory, EPROM and EEPROM are ROMs which can rewrite the content of storage like RAM, and what takes the MOS-FET (MOS type electrolysis effect transistor) structure which has the floating gate between the control gate and a channel is common. The hot electron produced when EPROM irradiates ultraviolet rays, the carrier in the floating gate is made to emit, elimination operation is carried out and the high voltage is applied between the control gate and a drain carries out write-in operation using remaining in the floating gate. Elimination operation can be carried out in EEPROM, without irradiating ultraviolet rays.

[0004]

[Problem(s) to be Solved by the Invention] However, above-mentioned floating-gate type MOS-FET writes in, and is msec. in elimination operation. The high electric field of the time of order and 10<sup>7</sup> V/cm order are needed. For this reason, in EEPROM, writing in the same cycle and elimination operation cannot be realized like the usual DRAM, and a power supply with high voltage is also needed.

[0005] moreover, the structure with which many of FRAMs (Ferroelectric Random Access Memory) to which development is advanced recently replaced the capacitor of DRAM to the ferroelectric capacitor - carrying out -- \*\*\*\* (ram TRON corporation JP,2-113496,A) -- writing in -- elimination and read-out operation -- any -- although -- since it is accompanied by polarization reversal of a ferroelectric, defatigation of a ferroelectric is intense Moreover, it is necessary to form a transistor and a capacitor separately, and becomes disadvantageous for the formation of area reduction.

[0006] this invention is performed to solve the unsolved technical problem which such a Prior art has, and there is little defatigation of high speed and a ferroelectric, and it offers the non-volatile memory suitable for area reduction-ization -- it aims at things

[0007]

[Means for Solving the Problem] In the gate electrode section in the transistor formed on the semiconductor single crystal substrate, in this semiconductor single crystal substrate and an interface,

the mismatch of the interatomic distance in a unit lattice grows epitaxially 30 or less % of oxide thin film at this semiconductor single crystal substrate top, and the semiconductor storage element according to claim 1 for attaining the above-mentioned purpose is a semiconductor storage element characterized by having the structure which carried out the laminating of the ferroelectric thin film of high orientation one by one at a top further.

[0008] Here, a mismatch expresses the gap with the interatomic distance in the unit lattice of the substrate in an interface, and the interatomic distance in a membranous unit lattice with %.

[0009] moreover, in a claim 1, a semiconductor storage element according to claim 2 as a semiconductor single crystal substrate used for the aforementioned element Si single crystal substrate is used. as an oxide thin film CeO<sub>2</sub> or a yttrium-oxide stabilization zirconium oxide, Or Y<sub>2</sub>O<sub>3</sub> or ZrO<sub>2</sub> As a ferroelectric thin film of high orientation used for the aforementioned transistor gate, using an epitaxial thin film PbTiO<sub>3</sub>, PbZrTiO<sub>3</sub>, or PbLaZrTiO<sub>3</sub> It is the semiconductor storage element characterized by using a thin film.

[0010]

[Function] If it is in invention according to claim 1, the gate electrode section in the transistor formed on the semiconductor single crystal substrate is the gate electrode of the electrolysis effect type transistor aiming at turning on the flowing current and turning off between the source formed of impurity diffusion on the semiconductor single crystal substrate, and drains.

[0011] Moreover, it sets to this semiconductor single crystal substrate and an interface on this semiconductor single crystal substrate. That the mismatch of the distance between unit-lattice Nakahara children grows epitaxially 30 or less % of oxide thin film In each crystal face which forms the interface of a semiconductor single crystal substrate and an oxide thin film It says setting an oxide thin film from which the difference between the distance between one pair of the unit lattice of a semiconductor single crystal substrate of atoms and the distance between one pair of the unit lattice of an oxide thin film of atoms becomes 30 or less % in a semiconductor single crystal substrate surface side, and growing up the anisotropy of crystal orientation strongly.

[0012] in the MgO thin film formation on Si single crystal substrate (about 22.5% of mismatches), and the MgO thin film formation on a GaAs single crystal substrate (about 25.5% of mismatches), although it checked growing epitaxially, it has a mismatch exceeding 30% -- combining -- coming out -- it was not able to be made to grow epitaxially

[0013] About the anisotropy of the thin film within this substrate surface side, it can check by observing the diffraction figure by RHEED (reflection-high-energy-electron-diffraction method). Furthermore, carrying out the laminating of the ferroelectric thin film of high orientation one by one on it says making the laminating of the anisotropy of crystal orientation carry out perpendicularly strongly to this oxide thin film front face on this oxide thin film.

[0014] The current between source-drains can be turned on and turned off by reversing the spontaneous polarization of a ferroelectric using the gate electrode which becomes this invention. In order to reverse the spontaneous polarization of a ferroelectric, it is necessary to impress voltage between the substrate-gates, between the drain-gates, or between the source-gates. The reversal speed of the spontaneous polarization of a ferroelectric is very quick, and can obtain about the same rewriting as DRAM, and the working speed of elimination. Moreover, since it is not necessary to form the capacitor other than a transistor, it becomes advantageous to the formation of area reduction. The oxide thin film prepared between a single crystal substrate and a ferroelectric thin film is indispensable in order to prevent a single crystal substrate and a ferroelectric thin film carrying out counter diffusion, and a ferroelectric deteriorating.

[0015] As a semiconductor single crystal substrate used for the above-mentioned element if it is in invention according to claim 2, Si single crystal substrate is used and it is CeO<sub>2</sub>, YSZ (yttria stabilization zirconium oxide), Y<sub>2</sub>O<sub>3</sub>, or ZrO<sub>2</sub> as an oxide thin film. An epitaxial thin film is used. These oxide thin films fulfill the mismatch conditions of the interatomic distance in the unit lattice in an interface in a claim (1), and can actually grow epitaxially on Si single crystal substrate. Moreover, in order that this may operate as a tunnel oxide film, and may transmit the single crystal nature of Si single

crystal substrate to the upper layer, in order to fully impress voltage to a ferroelectric thin film, in case the spontaneous polarization of a ferroelectric is reversed, and it may carry out high orientation formation of the upper ferroelectric thin film, it is indispensable.

[0016] Moreover, as a ferroelectric thin film of high orientation used for the above-mentioned transistor gate, although the thin film of  $\text{PbTiO}_3$ , PZT ( $\text{PbZrTiO}_3$ ), or PLZT ( $\text{PbLaZrTiO}_3$ ) is used, these ferroelectrics form an orientation film on this oxide thin film.

[0017] According to these structural features, the spontaneous polarization of a ferroelectric thin film can be reversed, the current between direct source-drains can be turned on and turned off, and the operation as non-volatile memory can be carried out.

[0018] Moreover, suitably, on this semiconductor single crystal substrate, in this semiconductor single crystal substrate and an interface, the mismatch of the distance between unit-lattice Nakahara children is 30 or less %, and the mismatch of the interatomic distance concerned can grow epitaxially 5 or less % of oxide thin film with a period of less than five integer period mutually. In each crystal face in which this forms the interface of a semiconductor single crystal substrate and an oxide thin film, the difference between the distance between one pair of the unit lattice of a semiconductor single crystal substrate of atoms and the distance between one pair of the unit lattice of an oxide thin film of atoms is 30 or less %. And an oxide thin film from which the difference in the length of the integral multiple (5 or less times) of the distance between one pair of the length of the integral multiple (5 or less times) of the distance between one pair of the unit lattice of a semiconductor single crystal substrate of atoms and the unit lattice of an oxide thin film of atoms becomes 5 or less % It says growing up the anisotropy of crystal orientation strongly into a semiconductor single crystal substrate surface side.

[0019]

[Example] Hereafter, the example of this invention is explained based on a drawing.

[0020] Drawing 1 is drawing having shown the basic structure of the element in one example of this invention from the cross-section configuration. Here, from that (A) pours a carrier into a ferroelectric from a substrate, and (B) show from the drain form of pouring a carrier into a ferroelectric.

[0021] It is here and, for the source and 3, as for an oxide thin film and 5, a drain and 4 are [ 1 / Si single crystal substrate and 2 / a ferroelectric thin film and 6 ] aluminum electrodes.

[0022] First, it is  $\text{CeO}_2$  after heating this substrate at about 900 degrees C in the vacuum of  $1 \times 10^{-6}$  Torr, using an n type Si (100) single crystal substrate with a resistivity [ cm ] of 2ohms as a substrate. Electron beam heating of the tablet is carried out, and it is  $\text{CeO}_2$  of about 200Å of thickness. The thin film was formed with vacuum deposition on Si substrate. This  $\text{CeO}_2$  When surface observation of the thin film was carried out by RHEED, some streak patterns could be observed and it has checked growing epitaxially mostly ( drawing 2 ). Si single crystal substrate and  $\text{CeO}_2$  The mismatch of a thin film of a lattice constant (interatomic distance equivalent to one side of a cubical unit lattice) is about 0.37%.  $\text{CeO}_2$  of 200Å of thickness aluminum electrode was formed in the thin film front face by the vacuum deposition method, and the capacity-voltage (C-V) property was measured using this electrode. Consequently, a very good C-V property as shown in drawing 3 is acquired, and it is  $\text{CeO}_2$ . It has proved that a thin film could use as a gate oxide film.

[0023] Next, it is  $\text{PbTiO}_3$  by the MOCVD method on  $\text{CeO}_2$  / Si (100). The thin film was formed. Pb ( $\text{C}_2\text{H}_5$ )<sub>4</sub> and Ti[i-OCthree H7] 4 It considers as material, and maintains at the temperature of 0 degree C and 30 degrees C, respectively, and they are 20 and 14.5cc/min., respectively. Carrier N<sub>2</sub> Material is carried by gas and it is 23cc/min. O<sub>2</sub> A  $\text{CeO}_2$ /Si (100) substrate with a substrate temperature of 600 degrees C is sprayed, and it is  $\text{PbTiO}_3$ . The thin film was formed. Ambient-pressure force was about 3 Torr(s). Moreover, thickness was about 5000Å. When analyzed using X diffraction equipment, carrying out orientation to  $\text{PbTiO}_3$  (100) and a field (001) strongly has checked this thin film ( drawing 4 ).

[0024] Furthermore, this  $\text{PbTiO}_3$  on When aluminum electrode was formed in  $\text{CeO}_2$  / Si (100) front face by the vacuum deposition method and spontaneous polarization was searched for by the SOIYA tower circuit using this electrode, it is about 10microC/cm<sup>2</sup> from a view 5. Spontaneous-polarization density was obtained. Thereby, it is fully a ferroelectric  $\text{PbTiO}_3$ . The current between source-drains of Si transistor can be turned on and turned off by spontaneous polarization.

[0025] It is actually the above-mentioned PbTiO<sub>3</sub> on between the source and a drain. CeO<sub>2</sub> It forms and they are ON of the current between source-drains, and OFF PbTiO<sub>3</sub> The attempt controlled using spontaneous polarization was performed and the phenomenon was checked.

[0026]

[Effect of the Invention] According to this invention, like the above explanation, the current between direct source-drains can be turned on and turned off by the spontaneous polarization of a ferroelectric by forming a high orientation ferroelectric thin film through the oxide thin film which grew epitaxially on Si substrate. For this reason, since it is not accompanied by reversal of spontaneous polarization in readout operation as compared with FRAM to which the present research is advanced, there is very little film fatigue of a ferroelectric, and since it is not necessary to form a capacitor in any fields other than a transistor, the non-volatile memory suitable for area reduction-ization can be offered. Furthermore, it is not necessary to pour a hot electron into the floating gate, and the drive by the low battery is attained more as compared with the conventional EEPROM. Thus, there is an effect of being able to offer non-volatile memory with many predominance.

---

[Translation done.]

**\* NOTICES \***

Japan Patent Office is not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. \*\*\*\* shows the word which can not be translated.
3. In the drawings, any words are not translated.

---

**PRIOR ART**

---

[Description of the Prior Art] There are volatile memory which can memorize information only while switching on the power supply, and non-volatile memory which can memorize information also in the state where the power supply was severed in a semiconductor storage element. As volatile memory, it is DRAM (Dynamic Random Access Memory). SRAM (Static Random Access Memory) it is -- as non-volatile memory -- a mask ROM (Mask Read Only Memory), PROM (Programmable Read Only Memory), EPROM (Erasable Programmable Read Only Memory), and EEPROM (Electrically Erasable and Programmable Read Only Memory) etc. -- it is

[0003] Also in such non-volatile memory, EPROM and EEPROM are ROMs which can rewrite the contents of storage like RAM, and what takes the MOS-FET (MOS type electrolysis effect transistor) structure which has the floating gate between the control gate and a channel is common. The hot electron produced when EPROM irradiates ultraviolet rays, the carrier in the floating gate is made to emit, elimination operation is carried out and the high voltage is applied between the control gate and a drain carries out write-in operation using remaining in the floating gate. Elimination operation can be carried out in EEPROM, without irradiating ultraviolet rays.

---

[Translation done.]

\* NOTICES \*

Japan Patent Office is not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. \*\*\*\* shows the word which can not be translated.
3. In the drawings, any words are not translated.

---

DESCRIPTION OF DRAWINGS

---

[Brief Description of the Drawings]

[Drawing 1] It is drawing having shown the basic structure of the element in one example of this invention from the cross-section configuration. Here, form that (A) pours a carrier into a ferroelectric from a substrate, and (B) show from the drain form of pouring a carrier into a ferroelectric.

[Drawing 2] It is CeO<sub>2</sub> on Si (100) substrate. It is the photograph of the description pattern at the time of carrying out RHEED observation of what carried out vacuum deposition.

[Drawing 3] It is CeO<sub>2</sub> on Si (100) substrate. It is drawing showing the result which carried out the vacuum evaporation of the aluminum electrode to what carried out vacuum deposition, and measured the capacity-voltage (C-V) property.

[Drawing 4] It is CeO<sub>2</sub> on Si (100) substrate. It is drawing showing the result which carried out CVD membrane formation of the PbTiO<sub>3</sub> thin film further, and analyzed the sample to what carried out vacuum deposition using X diffraction equipment.

[Drawing 5] PbTiO<sub>3</sub> on It is drawing in which forming aluminum electrode with a diameter of 0.5mm in CeO<sub>2</sub> / Si (100) front face by the vacuum deposition method, and showing the result which asked for the hysteresis curve by the SOIYA tower circuit using this electrode.

[Description of Notations]

1 Si Single Crystal Substrate 2 Source

3 Drain

4 Oxide Thin Film

5 Ferroelectric Thin Film

6 Aluminum Electrode

---

[Translation done.]

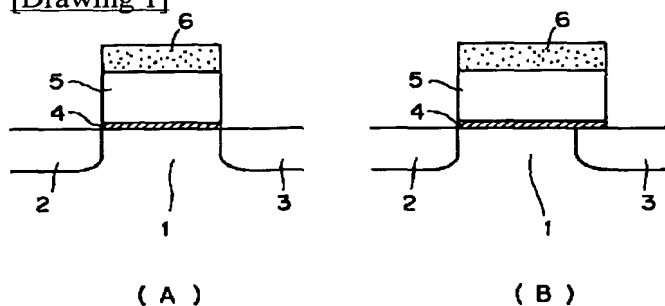
## \* NOTICES \*

Japan Patent Office is not responsible for any damages caused by the use of this translation.

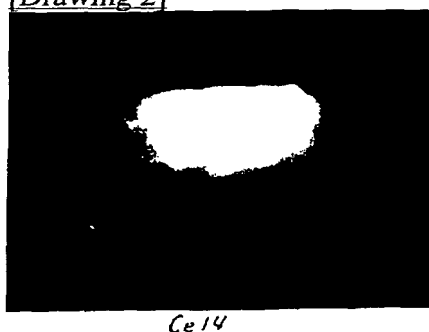
1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. \*\*\*\* shows the word which can not be translated.
3. In the drawings, any words are not translated.

## DRAWINGS

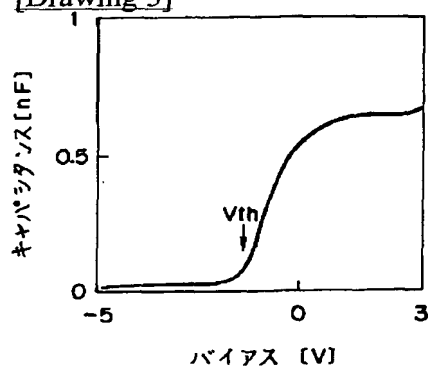
[Drawing 1]



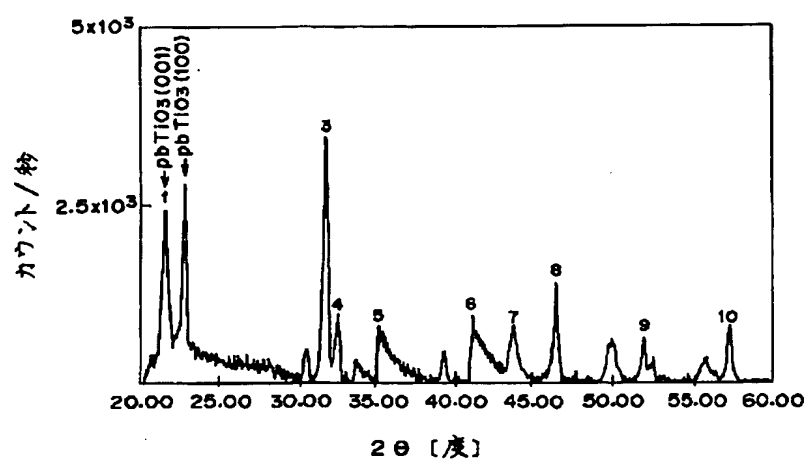
[Drawing 2]



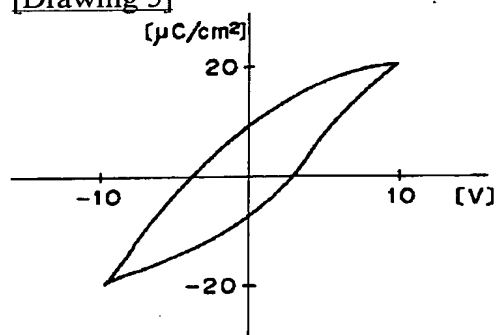
[Drawing 3]



[Drawing 4]



[Drawing 5]



---

[Translation done.]